

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-184435

(43)Date of publication of application : 12.08.1991

(51)Int.Cl.

H04J 3/04

(21)Application number : 01-323109

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.12.1989

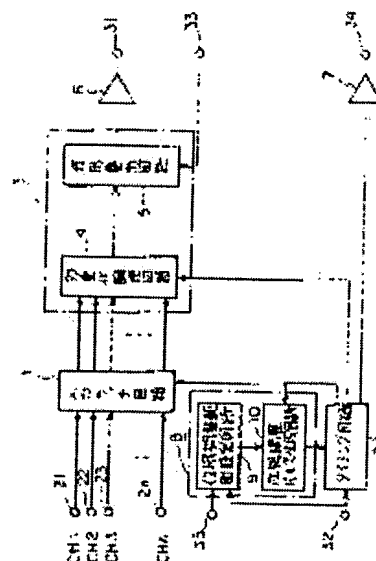
(72)Inventor : MATSUSHITA KIWAMU  
ICHIBAGASE HIROSHI

## (54) MULTIPLEXING CIRCUIT

### (57)Abstract:

**PURPOSE:** To realize a stable multiplexing operation with simple configuration suitable for the making of a circuit into an LSI by monitoring phase difference between a clock signal for parallel data and a latch signal in an input latch circuit, and adjusting the phase of the latch signal so as not to generate set-up and a hold error.

**CONSTITUTION:** A phase adjusting range setting circuit 9 generates the setting pulse of a latch prohibiting area equivalent to the presence range of the change point of a parallel data signal from the clock signal for parallel data, and outputs it to a phase adjusting pulse generation circuit 10. The phase adjusting pulse generation circuit 10 outputs a timing phase adjusting pulse to a timing circuit 2 when the latch signal exists within the range of latch prohibiting area. When the timing phase adjusting pulse is inputted, the timing circuit 2 shifts the phase of the latch signal so as to set a latch timing held by the latch signal outside the latch prohibiting area by resetting a counter which generates the latch signal and a multiplexing signal, etc.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

**BEST AVAILABLE COPY**

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**BEST AVAILABLE COPY**

## ⑫ 公開特許公報(A) 平3-184435

⑤ Int. Cl.<sup>5</sup>

H 04 J 3/04

識別記号

Z

庁内整理番号

7925-5K

⑬ 公開 平成3年(1991)8月12日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 多重化回路

⑯ 特 願 平1-323109

⑰ 出 願 平1(1989)12月13日

⑱ 発 明 者 松 下 充 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

⑲ 発 明 者 一 番 ケ 瀬 広 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 田澤 博昭 外2名

## 明 細 書

## 1. 発明の名称

多重化回路

## 2. 特許請求の範囲

入力された基準クロック信号からラッチ信号を生成するタイミング回路と、複数チャネル分の入力直列データ信号から成る並列データ信号の位相を前記ラッチ信号により揃える入力ラッチ回路と、前記入力ラッチ回路の出力を並直列変換して直列データ信号に変換する並直列変換回路と、前記並列データ信号のビットレートと等しい周波数で所定の範囲内の位相差をもって入力された並列データ用クロック信号と前記入力ラッチ回路に供給されるラッチ信号との位相差が所定の値以下になった場合に、前記ラッチ信号の位相調整に供されるタイミング位相調整パルスを前記タイミング回路に出力するタイミング位相調整回路とを備えた多重化回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、並列データ信号を時分割多重化して直列データ信号に変換する多重化回路に関するものである。

(従来の技術)

第4図は、例えば電子情報通信学会技術研究報告ICD88-60(1988年7月19日)P.73~P.79に掲載された「2.4 Gbit/s 伝送用EGLコンパチブルMUX/DMUX-IC」に示された従来の多重化回路の一例であり、図において、1はnチャネルの入力直列データ信号をそれぞれラッチする入力ラッチ回路、20は入力ラッチ回路1にラッチ信号を与えるタイミング回路、3は多重化論理回路4及び波形整形回路5とから構成される並直列変換回路、6、7は出力バッファ、21~2nは多重化されるnチャネル分の入力直列データ信号(以下、まとめて並列データ信号という。)の入力端子、31は多重化後の直列データ信号の出力端子、32は並列データ信号のビットレートのn倍の周波数を有する基準クロック信号の入力端子、33は波形整形回路5に与え

られる、並列データ信号のビットレートの $n$ 倍の周波数を有するリクロック信号の入力端子、34は基準クロック信号が $\frac{1}{n}$ に分周された分周クロック信号の出力端子である。

次に動作について説明する。ビットレート $f$ 、の $n$ ビット並列データ信号は、まず入力ラッチ回路1に入力される。ここで、タイミング回路20において周波数 $n f$ 、の基準クロック信号から分周して生成された周波数 $f$ 、のラッチ信号によりラッチされた後、多重化論理回路4と波形整形回路5とから構成される並直列変換回路3に入力される。並列データ信号は、まず多重化論理回路4において、タイミング回路20で生成される多重化信号により順次多重化されてビットレート $n f$ 、の直列データ信号に変換される。次に、波形整形回路5で多重化の過程において生じる波形劣化を周波数 $n f$ 、のリクロック信号でパルス幅整形された後、出力バッファ7を介して出力される。

ここで、並列データ信号の入力ラッチ回路1への入力タイミングは、タイミング回路20におい

てラッチ信号に対して所定の位相関係で生成されるビットレート $f$ 、の分周クロック信号を基準にして、セットアップ、ホールドエラーを起こさないような位相条件に設定される。また、リクロック信号は基準クロック信号を並直列変換回路3等の処理時間相当分だけ遅延させたものが用いられる。

〔発明が解決しようとする課題〕

従来の多重化回路は以上のように構成されているので、並列データ信号の入力ラッチ回路1への入力タイミングを、多重化後の直列データ信号のビットレートと等しい周波数の基準クロック信号より生成されたラッチ信号に対して、セットアップ、ホールドエラーを起こさないような位相条件に選定する必要があった。従って、基準クロック信号が高速になると、電源電圧変化、温度変化、素子自体のばらつき等に起因した処理遅延、配線遅延のばらつきが相対的に大きくなるために、タイミング設計が困難になるという課題があった。

この発明は上記のような課題を解消するために

なされたもので、基準クロック信号が高速で、電源電圧変化、温度変化、素子自体のばらつき等に起因した処理遅延、配線遅延のばらつきが相対的に大きくなる場合にも、並列データ信号とラッチ信号との間に常に所定のタイミング条件が確保でき、安定な多重化動作を実現できる多重化回路を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る多重化回路は、入力された基準クロック信号からラッチ信号を生成するタイミング回路と、複数チャネル分の入力直列データ信号から成る並列データ信号の位相をラッチ信号を用いてそろえる入力ラッチ回路と、入力ラッチ回路の出力を並直列変換して多重化された直列データ信号に変換する並直列変換回路と、並列データ信号のビットレートと等しい周波数であって、並列データの位相から所定の範囲内の位相差で入力された並列データ用クロック信号とラッチ信号との位相差が所定の値以下になった場合に、タイミング位相調整パルスをタイミング回路に出力するタ

イミング位相調整回路とを備えたものである。

〔作用〕

この発明におけるタイミング回路は、タイミング位相調整回路が出力したタイミング位相調整信号を入力して、ラッチ信号の並列データ信号ラッチタイミングが並列データ信号の変化点の存在領域から外れるように、ラッチ信号の位相調整を行う。

〔発明の実施例〕

以下、この発明の一実施例を第1図～第3図を用いて説明する。第1図はこの発明の一実施例による多重化回路を示す構成図であり、図中、1、3～7および21～34は第4図に同一符号を付して示したものと同一のものである。2はラッチ信号の位相調整を行うことができるタイミング回路、8は位相調整範囲設定回路9および位相調整パルス生成回路10とから構成されるタイミング位相調整回路、35はラッチ禁止領域を設定するための並列データ用クロック信号の入力端子である。

また、第2図は第1図に示したタイミング位相調整回路8およびタイミング回路2の詳細例を示す構成図であり、11a~11mはDフリップフロップ、12はノアゲート、13は分周クロック信号、多重化信号およびラッチ信号を生成する低速パルス生成回路、14a~14dはDフリップフロップ、15はインバータ、16はアンドゲートである。

次に動作について説明する。入力ラッチ回路1および多重化論理回路4の動作は、従来例である第4図に示したものと全く同一であるから、説明を省略する。

まず、第1図において、並列データ信号は、あらかじめ基準クロック信号を任意の位相で分周して生成された並列データ用クロック信号により一定の位相に揃えられた後入力されるものとする。並列データ用クロック信号は、位相調整範囲設定回路9と位相調整パルス生成回路10とから構成されるタイミング位相調整回路8に入力される。位相調整範囲設定回路9は、並列データ用クロッ

ク信号と、このリングカウンタの出力から分周クロック信号、多重化信号、ラッチ信号等の低速パルスを生成する低速パルス生成回路13とから構成されており、入力される基準クロック信号から各低速パルスを生成する。一方、タイミング位相調整回路8は、Dフリップフロップ14a~14c、インバータ15、およびアンドゲート16からなる位相調整範囲設定回路9と、Dフリップフロップ17からなる位相調整パルス生成回路10とから構成される。位相調整範囲設定回路9は、入力される並列データ用クロック信号を2分し、片方をインバータ15で反転し、さらに並列データ信号の変化点の存在範囲に相当する所定の遅延時間分だけ縦続接続されたDフリップフロップ14a~14cで遅延させた後、他の一方とアンドゲート16で両者の論理積をとることによりラッチ禁止領域の設定パルスを生成し、位相調整パルス生成回路10に出力する。位相調整パルス生成回路10は、設定パルスをDフリップフロップ17で入力ラッチ回路1に供給されるラッチ信号により

ク信号から、並列データ信号の変化点の存在範囲に相当するラッチ禁止領域の設定パルスを生成し、位相調整パルス生成回路10に出力する。位相調整パルス生成回路10は、ラッチ信号がラッチ禁止領域の範囲内にある場合にタイミング位相調整パルスをタイミング回路2に出力する。タイミング回路2は、タイミング位相調整パルスが入力されると、ラッチ信号および多重化信号を生成するカウンタをリセットするなどして、ラッチ信号が有するラッチタイミングがラッチ禁止領域外となるようにラッチ信号の位相をシフトする。

次に、第2図および第2図に示したものの動作を示したタイミング図である第3図により、第1図中のタイミング位相調整回路8およびタイミング回路2の詳細な動作を説明する。ここで、タイミング回路2は、多重化する並列データ信号の数nより1少ない数だけ縦続接続されたDフリップフロップ11a~11mのそれぞれの出力を、ノアゲート12を介してDフリップフロップ11aの入力に帰還する構成の、いわゆるリングカウン

タラッチすることにより得られるタイミング位相調整パルスをタイミング回路2に出力する。タイミング位相調整パルスは、リングカウンタを構成しているDフリップフロップ11a~11mの内、最終段から数えて、上記位相調整範囲設定回路9のDフリップフロップ14a~14cの段数よりも1~2段多い段数だけをリセットし、ラッチ信号等の低速パルスの位相をシフトさせる。

第3図は、第2図において多重化する並列データ信号数nを8とした場合の動作を示すタイミング図である。多重化数が8であるから、第2図中のリングカウンタのDフリップフロップ11a~11mの縦続段数は7となる。また、入力された並列データ信号の変化点の存在範囲が並列データ用クロック信号の立上がりに対して、基準クロック1ビット分である場合について考えると、位相調整範囲設定回路9のDフリップフロップ14a~14cの縦続段数は2、上記リングカウンタのDフリップフロップ11a~11mのリセット段数は3となる。ここで、ラッチ信号の立上がり時

点においてアンドゲート16の出力がハイの場合には、Dフリップフロップ17の出力であるタイミング位相調整パルスもハイとなるので、リングカウンタの最終段から3段目までのDフリップフロップ11c~11mがリセットされ、その結果として、ラッチ信号が3ビット分シフトする。すると、今度はタイミング位相調整パルスはローとなり、リセットモードが自動的に解除される。以上の一連の動作により、ラッチ信号が並列データ信号の変化点の存在範囲に相当するラッチ禁止領域の範囲内にある場合にも、ラッチ信号が有するラッチタイミングが自動的にラッチ禁止領域外となるように、ラッチ信号の位相がシフトされるので、基準クロック信号が高速で、電源電圧変化、温度変化、素子自体のばらつき等に起因した処理遅延、配線遅延のばらつきが相対的に大きくなる場合にも、並列データ信号とラッチ信号との間に常にセットアップ、ホールドエラーを起こさないようなタイミング条件が確保でき、安定な多重化動作が実現できる。

との間に常に所定のタイミング条件が確保でき、安定な多重化動作をLSI化に適した簡単な構成で実現できる効果がる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例による多重化回路を示す構成図、第2図は第1図に示したタイミング位相調整回路およびタイミング回路の詳細例を示す構成図、第3図はこの発明の一実施例による多重化回路の動作の一例を示すタイミング図、第4図は従来の多重化回路を示す構成図である。

図において、1は入力ラッチ回路、2はタイミング回路、3は並直列変換回路、4は多重化論理回路、5は波形整形回路、8はタイミング位相調整回路、9は位相調整範囲設定回路、10は位相調整パルス生成回路、13は低速パルス生成回路である。

なお、図中、同一符号は同一、又は相当部分を示す。

特許出願人 三菱電機株式会社  
代理人 弁理士 田澤博昭  
(外2名)

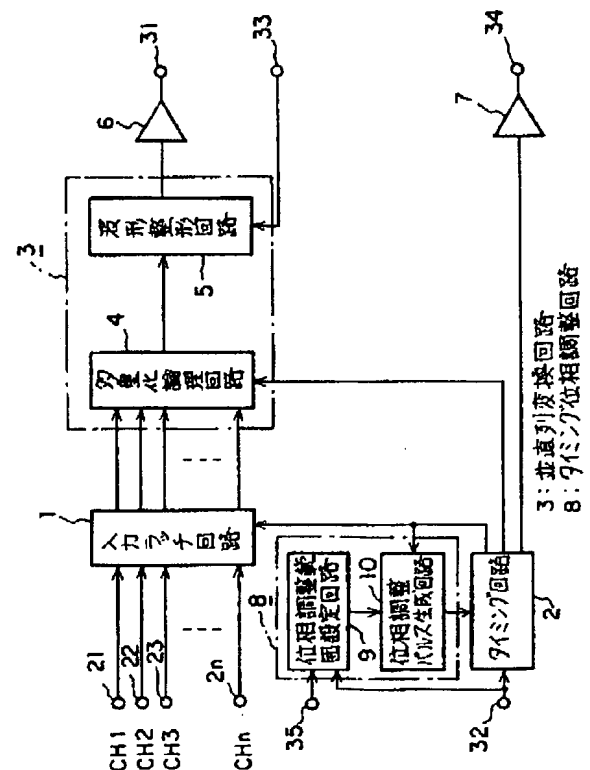


なお、上記実施例では並直列変換回路を多重化論理回路と波形整形回路の組み合わせとしたが、並列入力一直列出力型のシフトレジスタを用いてもよい。また、タイミング回路から位相調整パルス生成回路に供給する信号を入力ラッチ回路に供給するラッチ信号と同一の信号としたが、その前後のタイミングで発生する別の信号を用いてもよい。

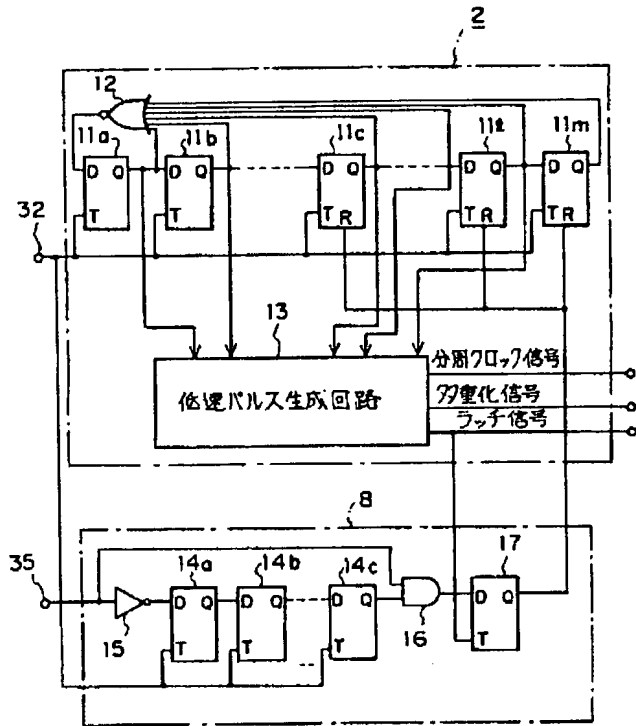
#### 〔発明の効果〕

以上のように、この発明によれば、並列データ信号に対して所定の位相関係で入力される並列データ用クロック信号と、入力ラッチ回路におけるラッチ信号との位相差を監視し、並列データ信号がその変化点においてラッチされることにより発生するセットアップ、ホールドエラーを起こさないように、ラッチ信号の位相を調整するように構成したので、基準クロック信号が高速で、電源電圧変化、温度変化、素子自体のばらつき等に起因した処理遅延、配線遅延のばらつきが相対的に大きくなる場合にも、並列データ信号とラッチ信号

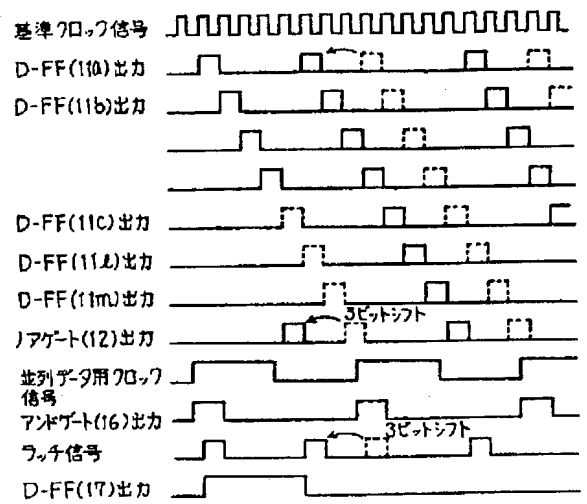
図1



第 2 図



第 3 図



第 4 図

